



Escola Universitària d'Enginyeria
Tècnica Industrial de Barcelona
Consorci Escola Industrial de Barcelona

UNIVERSITAT POLITÈCNICA DE CATALUNYA

“AMPLIFICADOR D’ÀUDIO DE CLASSE-D”

PFC1- primavera 2010

Alumne: Néstor Ribes Latorre

Professor: Jordi Cosp Vilella

Universitat Politècnica de Catalunya (UPC)

ÍNDIX

ÍNDIX.....	120
1. DEFINICIÓ DEL PROJECTE A REALITZAR.....	122
1.1. Descripció del projecte	122
1.1.1. Presentació.....	122
1.1.2. Protocol d'entrada d'àudio digital SPDIF	122
1.1.3. Processament de recepció pel protocol SPDIF mitjançant FPGA.....	123
1.1.4. Sortida analògica basada en amplificació del tipus D	123
2. INTRODUCCIÓ A L'ESTAT DE L'ART	124
2.1. Justificació de l'estat de l'art.....	124
2.2. Definició de l'estat de l'art.....	124
2.3. Estat de l'art actual.....	125
2.3.1. Dispositius amb alt nivell d'integració	125
2.3.1.1. CX20703: Altaveu en un Xip amb Processament de Veu i So, integrat per I2S/I2C amb sortida PWM, CONEXANT®	125
2.3.1.2. TAS3308: Sistema integrat de so per TV Digital, Texas Instruments	126
2.3.1.3. D2-814XXX: Controlador PWM, D2Audio®	128
2.3.1.4. D2-45X57: Amplificador d'Àudio Intel·ligent i Processador d'Àudio PWM, D2Audio®	129
2.3.1.5. D2-45X51: Amplificador d'Àudio Intel·ligent i Processador d'Àudio PWM, D2Audio®	131
2.3.1.6. CS44800: Controlador Amplificador Digital de 8 Canals, CIRRUS LOGIC®	132
2.3.2. Dispositius amb nivell mitjà-alt d'integració.....	133
2.3.2.1. CS8416: Interfície Receptora Digital d'Àudio, CIRRUS LOGIC®	133
2.3.2.2. CRD44600-PH-FB: Disseny d'un Amplificador Estèreo PWM de 100W Stereo, CIRRUS LOGIC®	135
2.3.3. Dispositius amb nivell mitjà d'integració	136
2.3.3.1. DSP 232 - DSP PROCESSOR MODULE , 2 IN/2 OUT	136
2.3.3.2. D400A Amplificador PWM	137
2.3.4. Característiques a tenir en compte	137

3.	PLANIFICACIÓ PFC1	138
3.1.	Parts de la planificació PFC1	139
3.1.1.	Cerca d'informació projecte	139
3.1.2.	Plantejament del treball	139
3.1.3.	Definició del treball.....	139
3.1.4.	Recopilació d'informació i estudi sobre aquesta	139
3.1.5.	Estudi informació de l'estat de l'art	139
3.1.6.	Redacció memòria final	139
4.	PLANIFICACIÓ TRANSICIÓ PFC1-PFC2	140
5.	PLANIFICACIÓ PFC2	142
5.1.	Parts de la planificació PFC1	143
5.1.1.	Especificacions tècniques definides	143
5.1.2.	Programació VHDL	143
5.1.3.	Simulació	143
5.1.4.	Realització prototipus	143
5.1.5.	Mesures i caracterització	143
5.1.6.	Redacció memòria	143
5.1.7.	Entrega i presentació	143
6.	DIAGRAMA DE BLOCS ESPECIFICAT	144
6.1.	Definició i plantejament del projecte a realitzar	144
6.2.	Especificació del diagrama de blocs	144
7.	VALORACIÓ DEL PROJECETE	145
7.1.	Material a requerir	145
8.	BIBLIOGRAFIA CONSULTADA	146
8.1.	Bibliografia escrita	146
8.2.	Bibliografia virtual	146
8.3.	Fabricants/ Distribuïdors consultats	146

INTRODUCCIÓ

1. DEFINICIÓ DEL PROJECTE A REALITZAR

1.1. Descripció del projecte

1.1.1. Presentació

El projecte que s'ha determinat realitzar com a Projecte Final de Carrera té com a títol, "*Amplificador d'Àudio de Classe D*". Tot i que el títol no especifica el procediment de l'amplificació, s'ha pres com a primer plantejament, el realitzar un muntatge de processament d'entrada a partir del protocol SPDIF, i realitzar les operacions pertinents, per poder donar un senyal modulat del tipus PWM, per poder atacar l'etapa de potència del altaveu.

Un cop s'ha especificat les parts més globals en les que es basarà el projecte. És convenient fer una petita introducció sobre els protocols esperats a utilitzar, els tipus de modulació de senyal, i l'estat del art de mecanismes semblants al plantejat durant el projecte.

1.1.2. Protocol d'entrada d'àudio digital SPDIF

El protocol SPDIF va ser caracteritzat per les companyies *SONY* i *PHILIPS*, a partir del protocol AES/EBU, un primer estàndard de comunicació digital d'àudio estèreo, caracteritzat per poder transmetre el senyal d'àudio de manera immediata. Degut al seu disseny i a les seves característiques tècniques, no permetia fer un plantejament gaire comercial, ja que es basava en tècniques i mecanismes professionals, que no facilitaven l'ús a nivell usuari, per això es va crear el protocol SPDIF per poder facilitar l'ús del protocol, de manera més econòmica i més propera pel públic quotidià.

El funcionament principal d'ambdós protocols consisteix en la comunicació digital sèrie del senyal d'àudio. Per ambdós casos el senyal a transmetre s'efectua per un total de 192 bits. La diferència principal entre els dos, és que el protocol AES/EBU té un rang de tensió entre 3-10V, mentre que el SPDIF té un rang de 0,5-1V.

Les especificacions del protocol SPDIF faciliten l'elaboració i el muntatge tant de receptors com d'emissors a nivell d'usuari. Tot i que les aplicacions entre el AES/EBU i el SPDIF són molt similars, a la pràctica està molt més estès el protocol SPDIF, com es veurà en l'estat de l'art.

1.1.3. Processament de recepció pel protocol SPDIF mitjançant FPGA

Per poder processar el senyal d'entrada SPDIF i poder-ho convertir en un senyal de sortida en PWM, s'ha determinat utilitzar una FPGA per la seva versatilitat, la seva facilitat d'ús i d'accés. S'ha de tenir en compte que l'elecció d'utilitzar una FPGA és deguda a que permet programar a nivells lògics avançats, qualsevol tipus de funció lògica, a partir de blocs d'interconnexió lògics, podent arribar a reprogramar sense el perill de no reutilització, ja que permeten l' utilització de memòries no volàtils com EPROM i FLASH.

Per poder programar FPGA, serà convenient analitzar i aprendre coneixements avançats de programació en VHDL, basat en la programació lògica de hardware compatible totalment amb la gran majoria de FPGA.

El protocol SPDIF, les mides de les dades i les velocitats de transmissió, seran convenientment controlades tant el senyal d'entrada com el de sortida a partir del llenguatge VHDL, cosa que facilitarà la programació durant tot el projecte.

1.1.4. Sortida analògica basada en amplificació del tipus D

Un cop controlat el sistema a partir de la FPGA, el projecte presenta donar un senyal de sortida, capaç de modular l'amplitud del canal de sortida, per atacar directament l'etapa de potència. La modulació inicial està pensada en fer-se a partir d'un PWM, però depenent de la programació elaborada, es podria optar més avançat el projecte, en definir un altres tipus de modulació de sortida.

ESTAT DE L'ART

2. INTRODUCCIÓ A L'ESTAT DE L'ART

2.1. Justificació de l'estat de l'art

Abans de la introducció a les especificacions generals que haurà de tenir l'amplificador, es considera necessari, haver realitzat prèviament un estudi sobre la situació del mercat, com així els diferents dispositius, tan a l'hora de l'integració com els diferents tipus de processament de dades i els seus blocs principals.

Amb l'investigació sobre l'estat, es vol conèixer i especificar tècniquement les propietats i característiques dels dispositius a realitzar, així com la viabilitat d'aquests tan a nivell econòmic com a nivell tècnic.

2.2. Definició de l'estat de l'art

Segons com s'ha plantejat el projecte, es tindrà en compte a l'hora de realitzar el estudi, els següents punts:

- nivell d'integració del dispositius
- funcionament de cada part del bloc
- Aplicacions comercials
- Nivell de viabilitat econòmica

Així doncs a partir d'aquests punts, es mostra les especificacions tècniques principals que hauria de poder realitzar el nostre dispositiu, així com altres especificacions que es podrien arribar a realitzar depenent del muntatge que es vulgui ampliar a partir del principal .

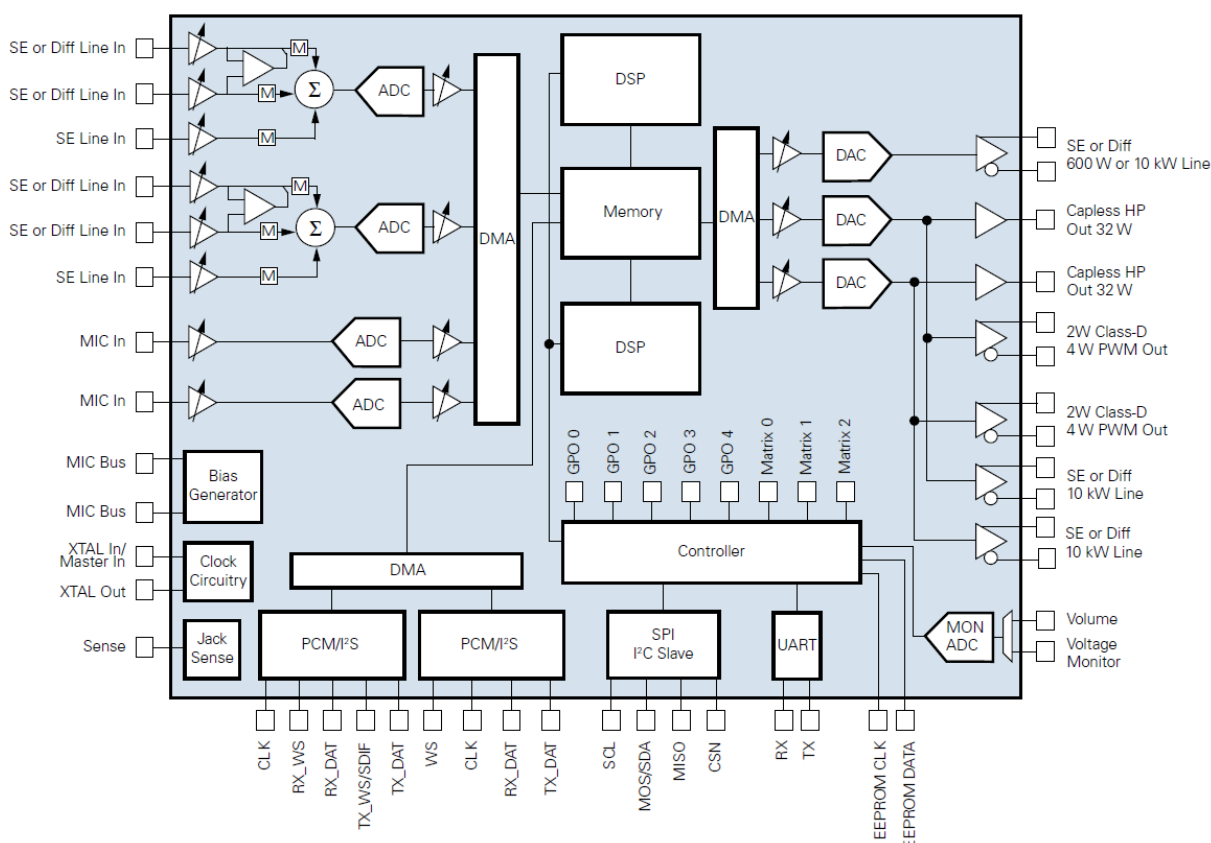
Per entendre millor el mercat actual, es començarà pel mercat més professional i més específic, per arribar a dispositius de major viabilitat com a projecte final, és a dir, que s'acabarà realitzant el projecte més pròxim amb alta viabilitat i les prestacions adequades.

2.3. Estat de l'art actual

2.3.1. Dispositius amb alt nivell d'integració

Com a principals dispositius amb alt nivell d'integració trobem, diferents prestacions per diferents usos i models

2.3.1.1. CX20703: Altaveu en un Xip amb Processament de Veu i So, integrat per I2S/I2C amb sortida PWM, CONEXANT®



Característiques principals

Dispositiu de processament mitjançant comunicació I²S, per la transmissió del senyal de so i I²C, pel processament del senyal de control. Ambdós protocols dissenyats per PHILIPS plantegen diferents prestacions de control, com així de modulació de so, podent alimentar diferents fonts externes depenent de la seva potència final.

Un dels suports integrats més versàtils del mercat, podent tractar tant senyals analògiques com digitals. Possibilita la modulació del senyal a partir del DSP, a més d'oferir diferents funcions específiques de senyal.

Característiques tècniques

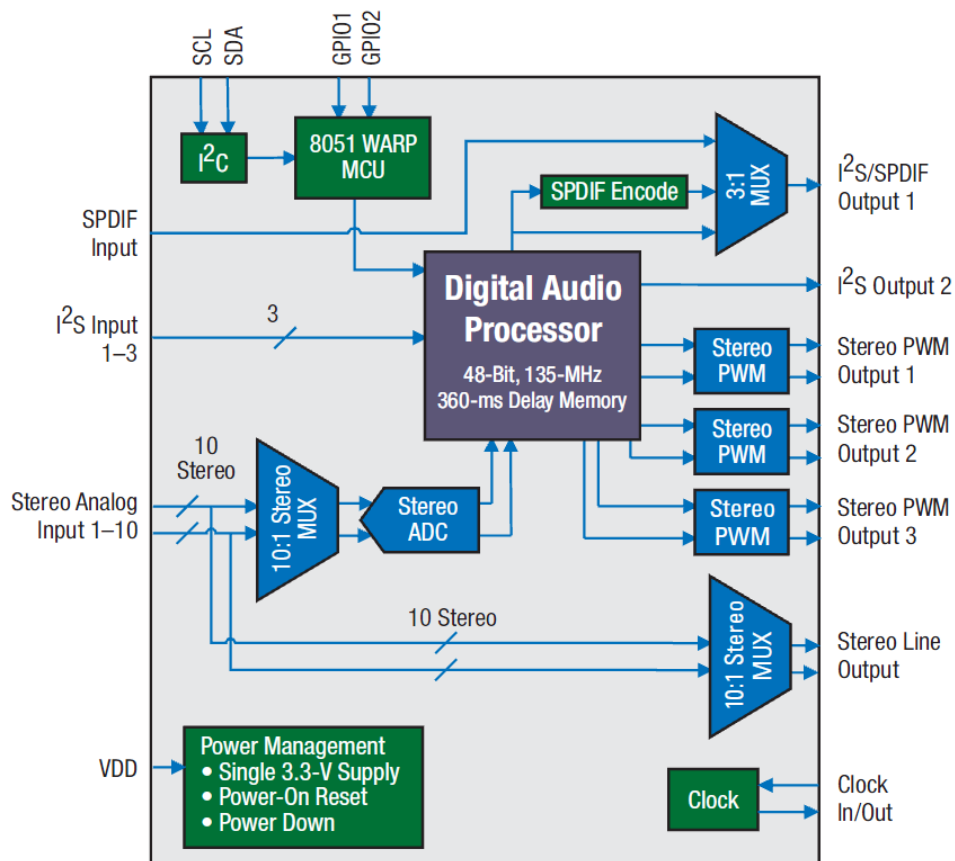
- 24-bit DAC/ADC, Relació qualitat/soroll fins 102dB, Reducció distorsió harmònica
- -92dB fins 48kHz
- Propietats configurables DSP

- Eliminació i cancel·lació de la subbanda acústica del eco
- Micròfon direccional
- Reducció de soroll
- Adaptador dinàmic de volum
- Control automàtic de guany de micròfon
- Equalitzador digital parametritzat (10 bandes per canal)
- Compensació dinàmica de rang
- Expansor 3D (Mode Fantasma i Immersió)
- 4 x cables i 5 cables digital de so E/S (I²S/PCM/ SPDIF), suportant comunicació doble sentit
- 3 en un I²C o 4 cables esclaus SPI per MCU(Unitat control multipunt) externa
- 2.5 W x 2 BTL Altaveu classe- D configurable també com PWM
- Administració de potència flexible
- Freqüència de mostreig: 8-96kHz

Aplicacions de mercat

- Dispositius portàtils amb Internet
- Telèfons multimèdies
- Dispositius portàtils de navegació
- Reproductors
- Sistemes de comunicació

2.3.1.2. TAS3308: Sistema integrat de so per TV Digital, Texas Instruments



Característiques principals

Integrat dissenyat per TEXAS INSTRUMENTS® com en la gran part de dispositius, trobem senyals d'entrada del tipus SPDIF i I²S, i en aquest cas també trobem senyals analògiques, amb les que es processen a partir del Processador Digital d'Àudio. Permet la conversió d'entrada a sortida I²S o SPDIF, a més de donar varies sortides Estèreo amb senyal PWM.

Característiques tècniques

- Compatible amb PurePath Studio™
SW de programació gràfic
- 135-MHz, processador 48-bit
 - acumulador 76-bit
 - 3K Words de programa RAM
 - 1K Words de coeficient RAM
 - 1K Words de dades RAM
- MUX 10 x canal entrades estèreo
- 1 x sortida estèreo ADC
 - 100dB Reducció soroll dinàmic (DNR)
- 6 x sortides diferencials PWM
 - 105dB DNR Reducció soroll dinàmic (DNR)
- 3 x canals entrada I²S
- 2 x canals de sortida I²S
- 1 x SPDIF seleccionable
- 360ms retard de memòria
- Ideal per sistemes de so per TV digital
- Compatible amb TI's PurePath família digital de PWM amplificador d'àudio

Preu de mercat

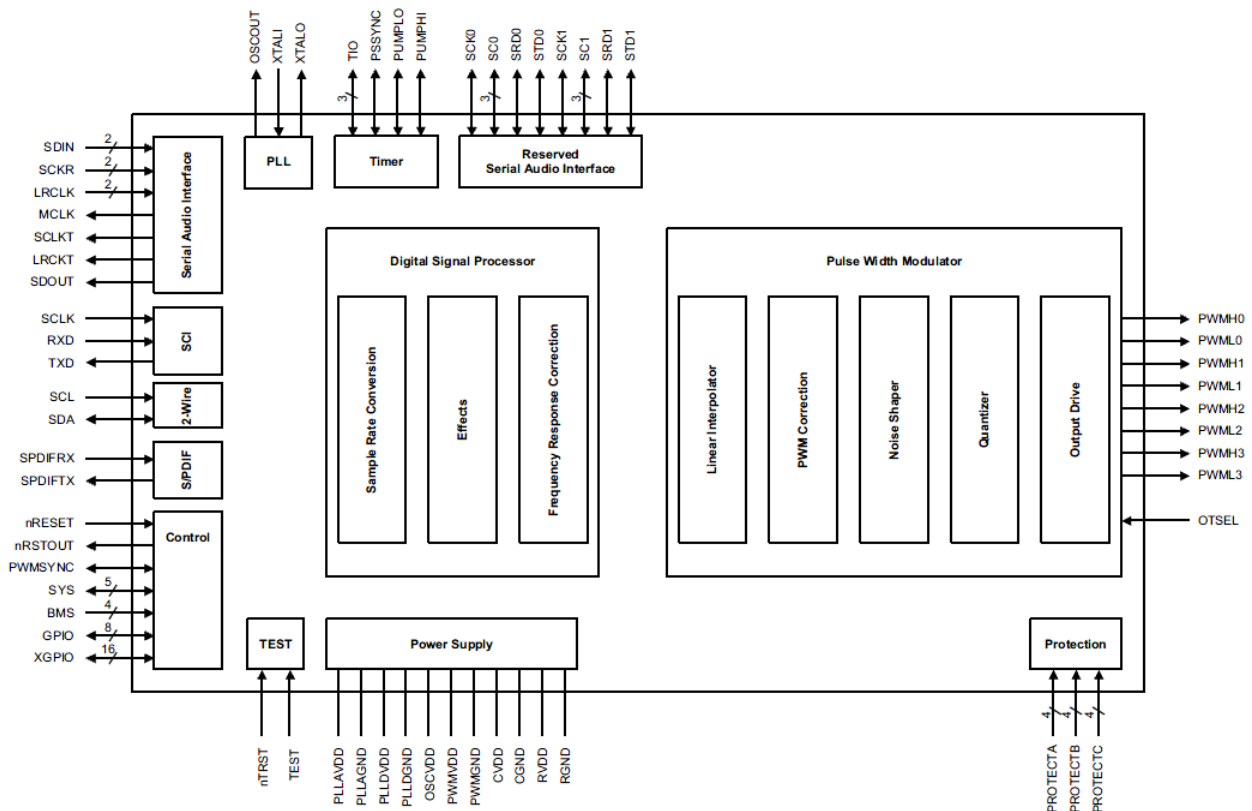
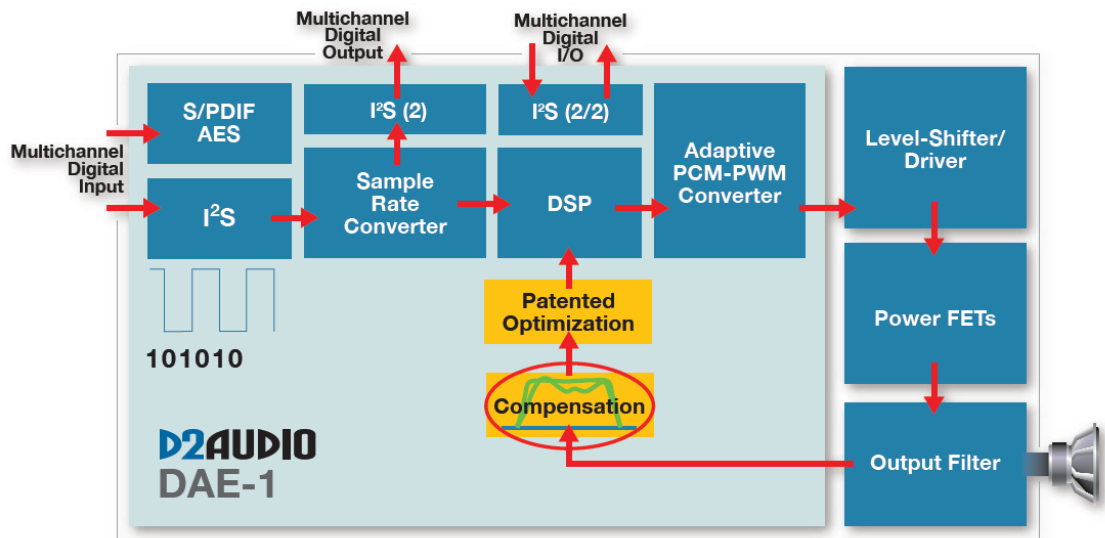
6,60\$/u → 1000 unitats

Possibilitat d'aconseguir mostres gratuïtes.

Aplicacions de mercat

- Televisions planes
- Reproductors de música portàtils
- Altaveus de locals públics
- Instruments musicals
- Sistemes Micro/mini de so

2.3.1.3. D2-814XXX: Controlador PWM, D2Audio®



Característiques principals

En aquest cas tenim un dispositiu molt semblant al anterior, amb funcions avançades de compensació de soroll i de senyal, ajudant a la millora del senyal en el seu processament. Al igual que en l'anterior els senyals d'entrada són I²S i SPDIF, podent ser el I²S un canal E/S de senyal. Interessant aquest dispositiu, ja que efectua una retroalimentació amb la sortida que possibilita la correcta compensació.

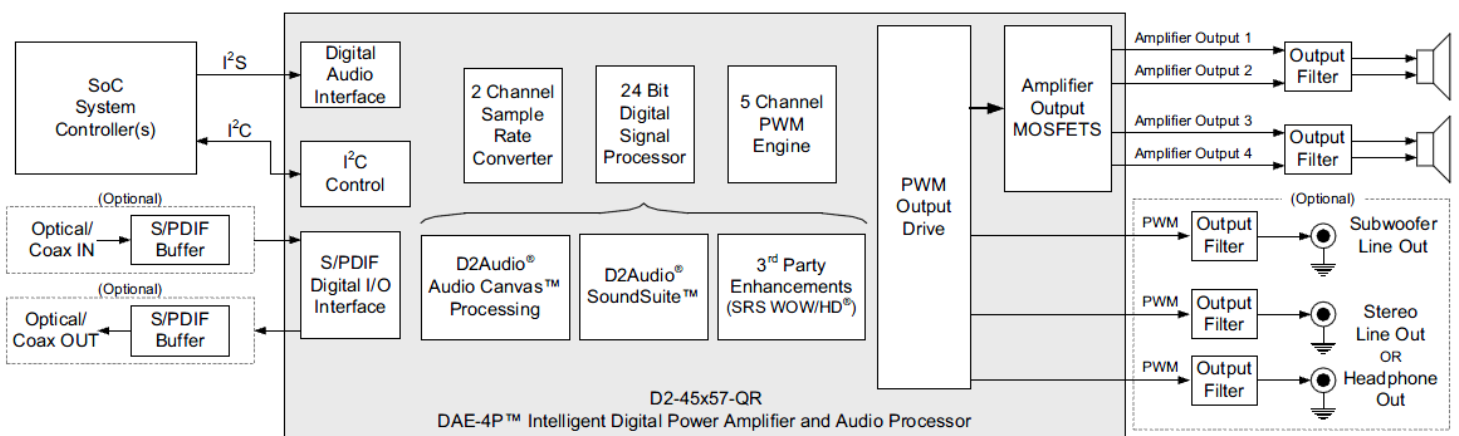
Característiques tècniques

- Potent gestió de so digital, Disseny de referències dependent de SRC, Routing, Mesclador, Diferents E/S digitals de so, Control de to, Equalitzador paramètric, Compressió de so
- Sistema de so d'estalvi a partir d'amplificador Classe -D
- Característiques millorades d'optimització del rendiment del altaveu i millora considerable en la qualitat del so
- Desenvolupament mínim Cost/Risc/ Producció
- So digital pur
- Rang dinàmic superior
- Guany >100dB, Distorsió harmònica <0.1%
- Resposta de freqüència 20Hz - 20kHz ± 0.5 dB

Aplicacions de mercat

- Dispositius home cinema
- Sistemes de distribució de so
- Altaveus de potència

2.3.1.4. D2-45X57: Amplificador d'Àudio Intel·ligent i Processador d'Àudio PWM, D2Audio®



Característiques principals

Aquest dispositiu pot arribar a processar senyals SPDIF, I²S, i arribar a donar senyal per dispositius electrònics de so, com ara altaveus, auriculars i equips DolbySurround.

Fent un cop d'ull al processament, trobem que pot actuar com a actuator SPDIF com a receptor, podent donant a la sortida el senyal de so corresponent per diferents vies de so. S'ha de tenir en compte, que hi ha dues sortides que poden atacar directament al altaveu, introduint el filtre, i unes altres tres, que requereix un transformador de senyal de PWM a senyal d'àudio.

Característiques tècniques

- Tots els amplificadors digitals de Classe -D es controlen per processament de senyal digital (DSP)
- 4 x etapes de potència integrades suportant:
 - 2 x canals de conversió de pont complet
 - 4 x canal de conversió de mig-pont
 - 2 x canal de conversió mig-pont, més 1 canal de conversió de pont complet
- Distorsió harmònica:
 - 1%, 8Ω, 25W; 10%, 8Ω, 30W
- Parametritzables tots els senyals d'Àudio
- 5 x canals de DSP
- Equalitzadors, filtres, mescladors, i limitadors programables
- Inclou D2Audio™ SoundSuite™ i SRS WOW/HD™ algorisme de millora de so
- Entrades digitals estèreo I²S/SPDIF
- Convertidor asíncron, amb captures de 32-192kHz
- Amplia etapa de potència d'alimentació 9-26V, a més de generar internament una Font extra de tensió
- Monotorització de temperatura i deficiència de voltatge a més d'un canal individual de protecció

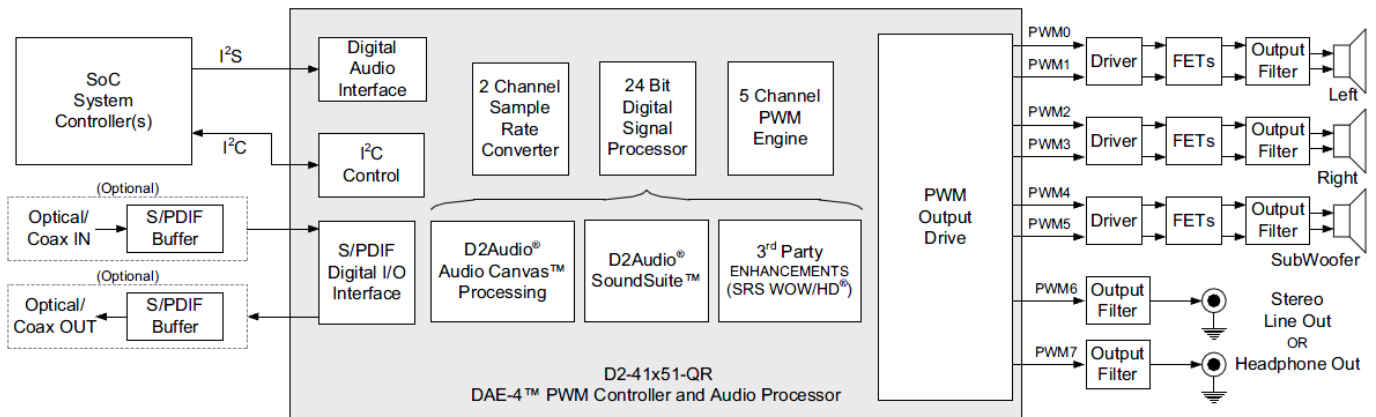
Preu de mercat

D2-45047-QR ;D2-45157-QR: 3,06\$/u--> 1000 unitats

Aplicacions de mercat

- Altaveu PC
- Sistemes de so de TV digital
- Sistemes d'altaveus
- Dispositius portàtils

2.3.1.5. D2-45X51: Amplificador d'Àudio Intel·ligent i Processador d'Àudio PWM, D2Audio®



Característiques principals

Dispositiu més bàsic de la gama D2Audio®, on les entrades poden ser SPDIF i I²S. A tenir en compte que a la sortida dóna el senyal PWM, per cada senyal sent un integrat idoni per sistemes de so típic. Requerint això si, una etapa de potència, que pugui atacar el altaveu final.

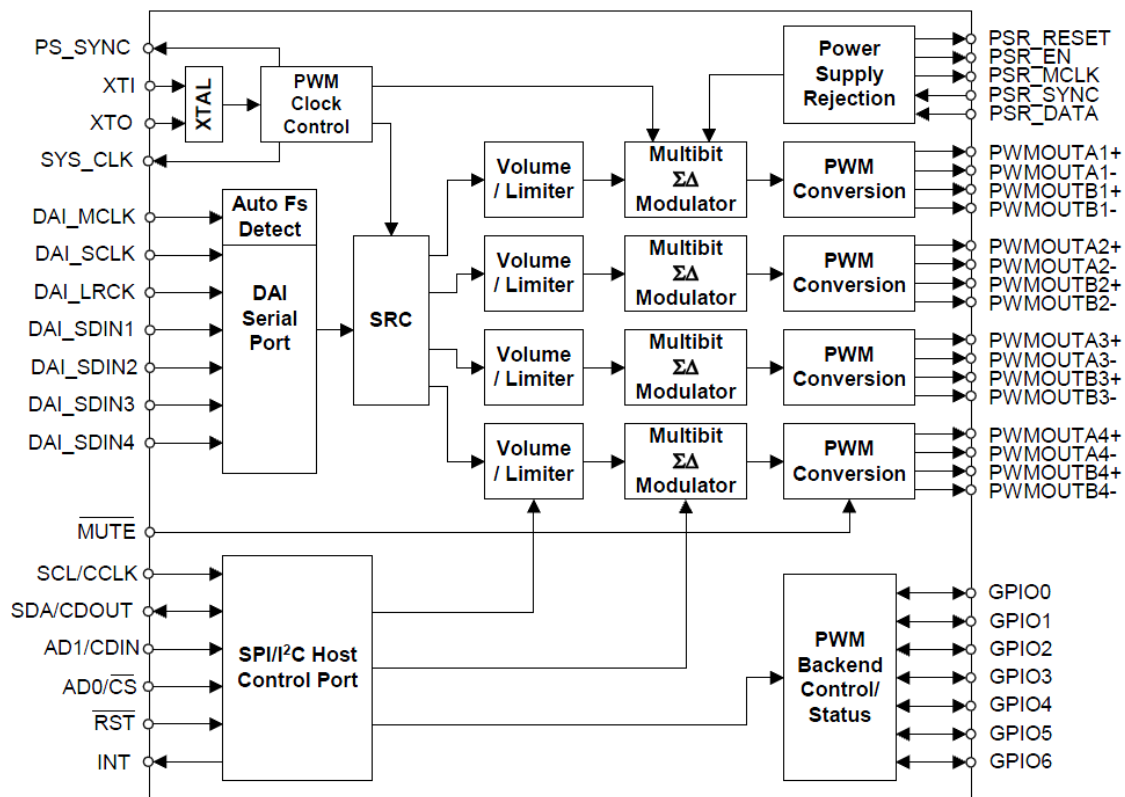
Característiques tècniques

- Tots els amplificadors digitals de Classe -D es controlen per processament de senyal digital (DSP)
- Parametrizables tots els senyals d'Àudio
- 5 x canals de DSP
- Inclou equalitzadors, filtres, mescles de so i altres funcions de processament d'Àudio
- Algorismes de millora de so
- Entrades digitals estèreo I2S/SPDIF
- Port principal de control I2C
- Convertidor asíncron, amb mostres des de 32kHz fins 192kHz
- Suporta Sortides Bi-Amp amb etapes de potència discretes o integrades

Preu de mercat

D2-41051-QR :	2,29\$/u → 1unitat	2,23\$/u → 500unitats
	2,20\$/u → 1000unitats	
D2-41151-QR :	2,37\$/u → 1unitat	2,30\$/u → 500unitats
	2,20\$/u → 1000unitats	

2.3.1.6. CS44800: Controlador Amplificador Digital de 8 Canals, CIRRUS LOGIC®



Característiques principals

Aquest multiplexor de senyal amb sortida PWM, es controlat per SPI o I²C, en els diferents amplificadors de senyal per cada sortida. A l'entrada requereix un senyal digital sèrie, que seria en aquest cas el I²S. En aquest cas el processament del senyal efectua una aplicació semblant a la plantejada al projecte, però en aquest cas no existeix entrada SPDIF per amplificar.

Característiques tècniques

- Rang dinàmic 100dB
- Distorsió harmònica 0.03%@ 1 W
- Rang de freqüència de mostreig entre 32kHz -192kHz
- Circuit oscil·lador intern de 24,6 - 54Mhz per Cristall
- Convertidor de freqüència integrat
- Elimina els efectes de soroll de rellotge
- Freqüència de mostreig diferent a la d'operació
- Font d'alimentació de realimentada en temps real
- Modulació del espectre de propagació- Redueix les EMI

- Modulació PWM Popguard® de sortida
- Elimina les interferències de la freqüència AM
- Compensació per filtre programable
- Ample de banda fins a 40kHz
- Control de volum amb rampa suau
- Guany de senyal, -127dB fins 24dB en trams de 0.25dB
- Detecció de pic i límit per canal programable
- Control d'interfície per SPI i I²C
- Separació de 2.5V fins 5.0V del port sèrie i principal
- Control d'alimentació del port

Preu de mercat

2,98\$/u → 10.000unitats

9,68\$/u → 1 unitat

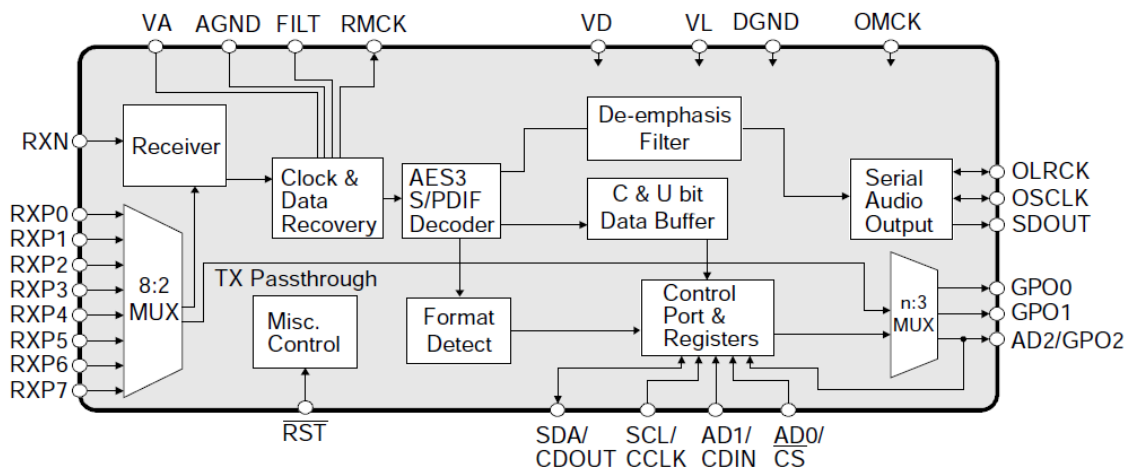
Aplicacions de mercat

- Receptors A/V
- Receptors DVD
- Altaveus digitals
- Sistemes de so

2.3.2. Dispositius amb nivell mitjà-alt d'integració

Un cop s'han especificat alguns dels integrats més característics, s'ha analitzat els que tenen un nivell, no tant elevat, i més propers al projecte establert inicialment.

2.3.2.1. CS8416: Interfície Receptora Digital d'Àudio, CIRRUS LOGIC®



Característiques principals

Aquesta interfície receptora d'àudio és capaç de processar fins a un total de 8 entrades multiplexades, donant l'opció de seleccionar quin tipus de protocol a processar, ja sigui AES o SPDIF. A la sortida dona la possibilitat de donar o bé un senyal I²S o bé el AES3, per poder ser interpretats per altres dispositius. Tot i que l'interfície té un ús de comunicar diferents tipus de senyals, només es practica si a la sortida tenim un senyal que interpreti el senyal donat.

S'ha de tenir en compte, que l'entrada de diferents senyals, ve determinada per la seva sincronització amb el senyal.

Observant el diagrama, podem resumir, que els senyals són sincronitzats pel clock, i que abans de la sortida s'efectua el filtre sobre possibles anomalies d'entrada o de transmissió de dades del dispositiu en si.

Característiques tècniques

- Estandardització EIAJ CP1201, IEC-60958, AES3
- Receptor Compatible SPDIF
- Tensió Alimentació A/D: +3.3 V
- Entrades Multiplexades 8:2 SPDIF
- Selecció entrada protocol AES/SPDIF per HW
- Senyal de routing seleccionable a partir dels pins GPO
- Passarel·la de transmissió S/PDIF-to-TX seleccionable per HW
- 3 x port de sortida digital flexible
- Rang de freqüència de mostreig 32-192 kHz
- Rellotge de baix soroll
- Pin i Microcontrolador d'Accés de lectura del estat del canal i de les dades d'usuari
- Port de Control SPDIF/ I²C per SW i funcionant sol per HW
- Receptor per cable diferencial
- Dades de memòries d'estat de canal integrades
- Detecció automàtica d'entrada d'àudio comprimida
- Descodificació CD Q Sub-Code
- Sistema de rellotge OMCK

Preu de mercat

10.000 unitats → 2,56\$/u

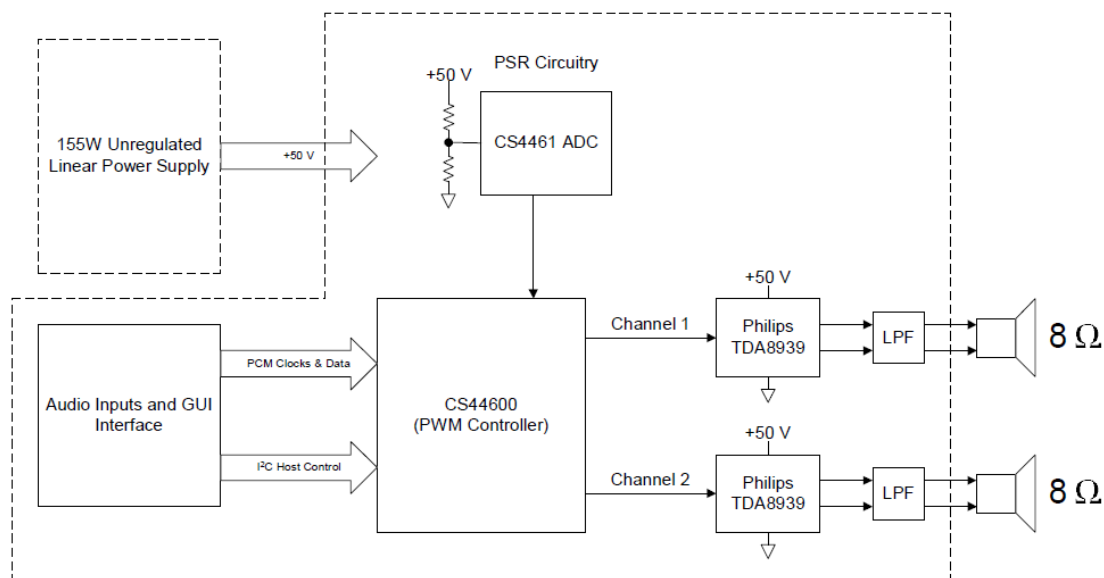
1 unitat → 6,51\$/u

Aplicacions de mercat

- Receptors A/V
- Receptors DVD
- Altaveus multimèdia
- Consola digital mescladora

- Processadores d'efectes
- Sistemes de so per PC i cotxes
-

2.3.2.2. CRD44600-PH-FB: Disseny d'un Amplificador Estèreo PWM de 100W Stereo, CIRRUS LOGIC®



Característiques principals

Amb una entrada I²C, i el processament adequat tenim un senyal directe, per un equip estèreo de 100W, alimentat per un senyal de sortida PWM. Aquest disseny planteja el muntatge d'un amplificador de senyal de 100W, donat el integrat CS44600 es podria muntar l'amplificador amb les demés etapes corresponents.

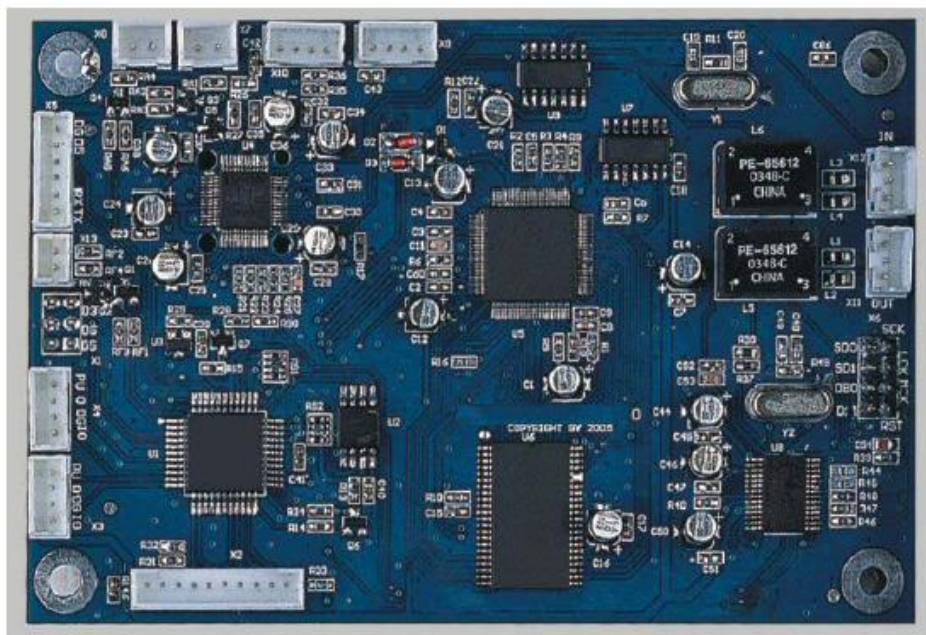
Característiques tècniques

- 2x canals de conversió de pont complet de 100W
- Rang Dinàmic 106 dB
- Distorsió harmònica fins 0.015% @1 W
- Power Supply Rejection (PSR) retroalimentació per amplificar i operar des de a un cost lineal baix de fonts no regulades
- Modulació del espectre de propagació- Redueix les EMI
- Permet CISPR i FCC requerides per la radiació i potències emeses
- Senyal independent de pic limitada per canal
- Protecció tèrmica contra sobrecorrent
- Eficiència amplificadora 85%
- Funciona amb interfície gràfica per configurar la placa
- Mostra de disseny i massa arreglada

2.3.3. Dispositius amb nivell mitjà d'integració

Un cop, s'han vist el nivell integració, s'ha investigat sobre els sistemes variats de, on el nivell d'integració és menys elevat, però la funcionalitat pot arribar a ser semblant a un nivell d'integració elevat.

2.3.3.1. DSP 232 - DSP PROCESSOR MODULE , 2 IN/2 OUT



Característiques principals

- Matriu 4 entrades/ 4 sortides
- Rang de resposta: 20Hz – 20kHz
- Convertidor AD/DA 24 bit , sigma/delta
- 48kHz freqüència de mostreig
- 5 x bandes paramètriques equalitzables
- Estèreo/sortida pont complet
- Guany 6-48dB/octava, tipus Linkwitz-Riley
- Guany d'entrada i sortida
- 20 memòries
- Generador de senyal sinusoïdal, soroll blanc, auto sweep
- RS485 enllaç per configurar DSP454, guardar i cridar paràmetres
- E/S opcional SPDIF
- 2x20 caràcter per display LCD
- Font alimentació 2x12V fins 2x15V

Preu de mercat

243€

2.3.3.2. D400A Amplificador PWM



Característiques tècniques

- Rang potència 4Ω , 400W
- Alimentació Max. $2 \times 35V_{DC}$
- Alimentació aux. $16V_{DC}$
- Rang de freqüència, 20Hz – 20kHz
- Distorsió harmònica i soroll, 0.02%
- Rang dinàmic, 110dB
- Max. Corrent sortida 20A
- Min. Impedància de càrrega 4Ω
- Factor d'amortiguació, 400
- Entrada de tensió equilibrada 1V -10k Ω
- Amplificació de pont complet
- Limitador de pic

Preu de mercat

110€

Disponible com a mostra

2.3.4. Característiques a tenir en compte

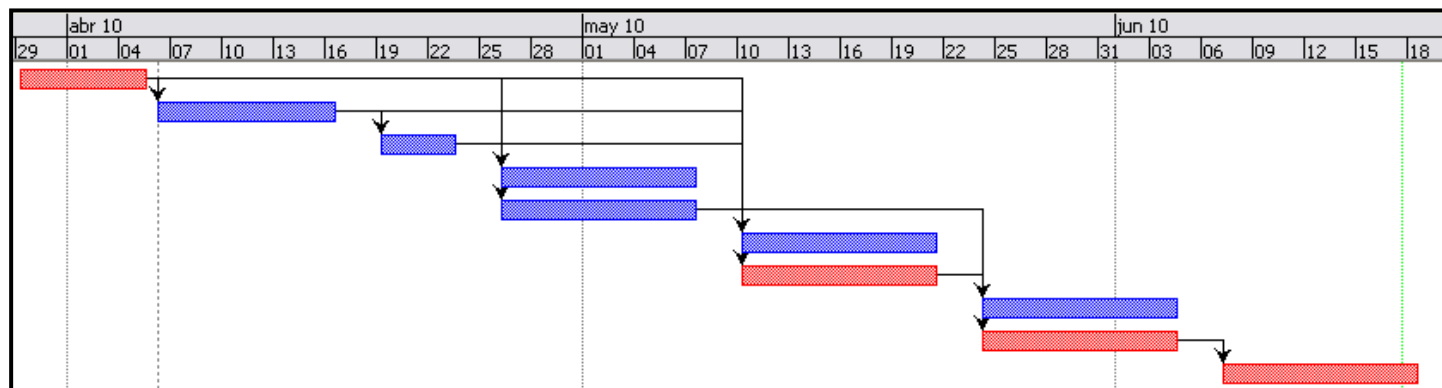
Les característiques a tenir en compte en el disseny estaran relacionades amb les característiques dels dispositius descrits amb anterioritat, tant les prestacions de modulació, com la reducció d'harmònics i de soroll, les bandes equalitzables, la determinació del guany, etc.

Les especificacions es definiran en el PFC2, ja que fins que no ens introduïm en la programació del sistema no es podran arribar a determinar el grau de dificultat de les prestacions especificades.

PLANIFICACIÓ PFC

3. PLANIFICACIÓ PFC1

	📅	Nombre	Duració	Inicio	Terminado	Predecessores
1	📅	Cerca d' informació projecte	6 days	29/03/10 8:00	5/04/10 17:00	
2		Plantejament del treball	9 days	6/04/10 8:00	16/04/10 17:00	1
3	📅	Definició del treball	5 days	19/04/10 8:00	23/04/10 17:00	2
4	📅	Recopilació d'informació SPDIF	10 days	26/04/10 8:00	7/05/10 17:00	1;2;3
5	📅	Estudi protocol SPDIF	10 days	26/04/10 8:00	7/05/10 17:00	1;2;3
6	📅	Recopilació d'informació PWM	10 days	10/05/10 8:00	21/05/10 17:00	1;2;3
7	📅	Estudi amplificació PWM	10 days	10/05/10 8:00	21/05/10 17:00	1;2;3
8	📅	Recopilació d'informació sobre diversos dispositius	10 days	24/05/10 8:00	4/06/10 17:00	5;7
9	📅	Estudi informació estat de l'art	10 days	24/05/10 8:00	4/06/10 17:00	5;7
10	📅	Redacció memòria final	10 days	7/06/10 8:00	18/06/10 17:00	9



3.1. Parts de la planificació PFC1

3.1.1. Cerca d'informació projecte

En la part inicial del projecte, es va definir qualsevol eina e informació pràctica, per poder entendre millor el plantejament del projecte.

3.1.2. Plantejament del treball

Un cop realitzada la primera cerca d'informació del treball, i un cop analitzats els termes principals d'aquests, es va especificar el desenvolupament del treball a més les parts on caldria redactar el estudi sobre aquest.

3.1.3. Definició del treball

Al finalitzar el plantejament, es va especificar amb la documentació i els termes adquirits l'aproximació, i la definició funcional del projecte en si.

3.1.4. Recopilació d'informació i estudi sobre aquesta

La cerca d'informació tècnica es va duu a terme, en dues parts, una per poder entendre el funcionament del protocol SPDIF i un altre per poder profunditzar sobre el modulad en PWM

3.1.5. Estudi informació de l'estat de l'art

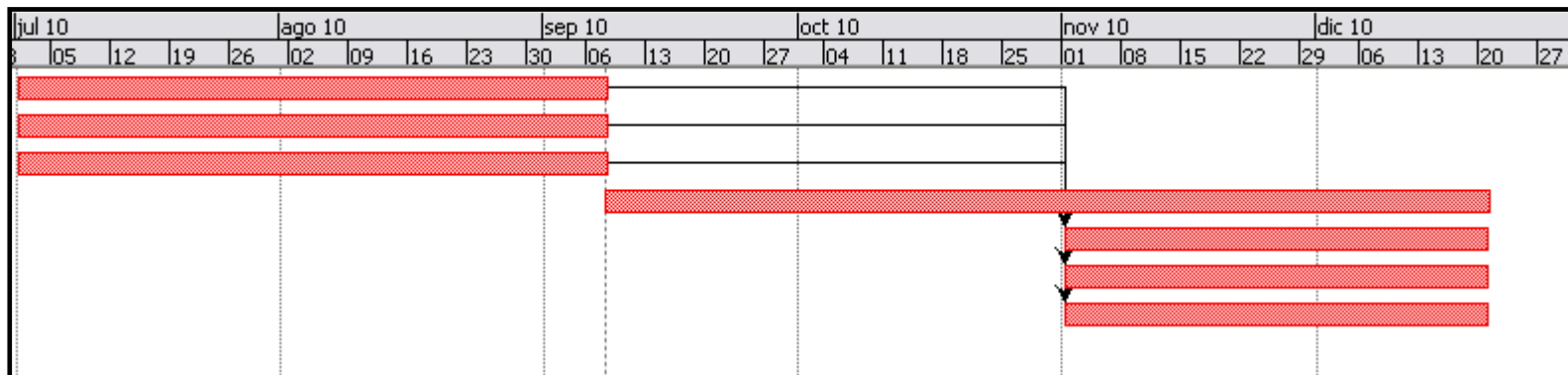
Un cop especificats i clarificats la base del projecte, es van buscar dispositius semblants a les especificacions del projecte desitjat a desenvolupar. Trobant diferents dispositius i models per basar-nos, i acabant de definir el plantejament del projecte del PFC1.

3.1.6. Redacció memòria final

Un cop, realitzades totes les tasques de cerca, recopilació i definició del projecte, es va redactar tot el treball, per tenir un control sobre les especificacions descrites.

4. PLANIFICACIÓ TRANSICIÓ PFC1-PFC2

	Nombre	Duració	Inicio	Terminado	Predecessores
1	Especificacions tècniques SPDIF	50 days	1/07/10 8:00	8/09/10 17:00	
2	Primera entrada de contacte FPGA	50 days	1/07/10 8:00	8/09/10 17:00	
3	Especificacions tècniques amplifiació modulada	50 days	1/07/10 8:00	8/09/10 17:00	
4	Assignatures programades	75 days	8/09/10 8:00	21/12/10 17:00	
5	Ampliació especificacions SPDIF	36 days	1/11/10 9:00	21/12/10 9:00	1
6	Ampliació progrmació VHDL	36 days	1/11/10 9:00	21/12/10 9:00	2
7	Ampliació amplifiació modulada	36 days	1/11/10 9:00	21/12/10 9:00	3



Degut a que l'abast del projecte final, sobrepassa el plantejament inicial del projecte PFC2, s'ha cregut convenient, deixar un quadrimestre de transició per poder ampliar les especificacions del projecte, i realitzar el projecte de manera satisfactòria.

Durant el quadrimestre de transició es pensa realitzar dues assignatures, o en el seu defecte, realitzar assignatures que s'apropin al temari donat. Les assignatures principals seran:

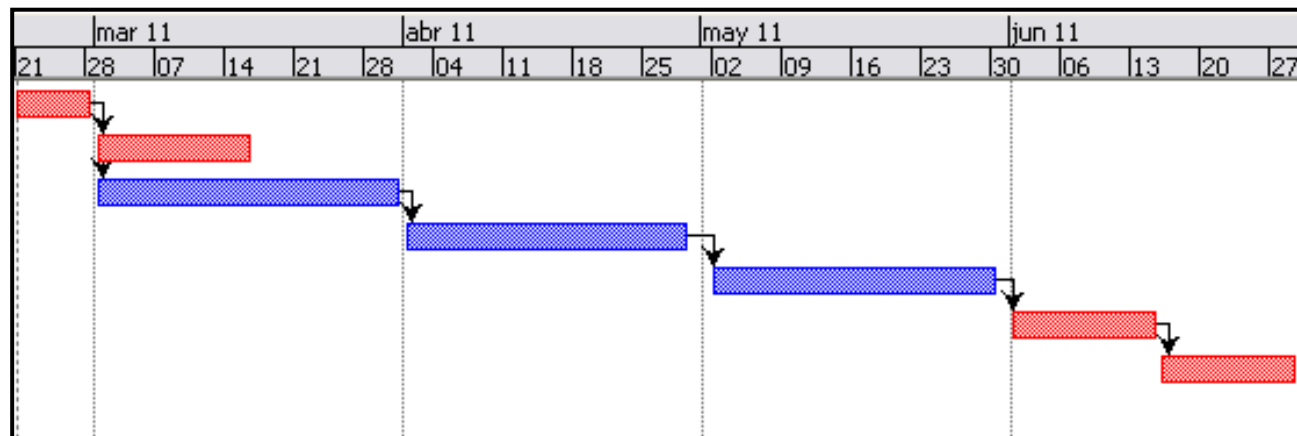
- Dispositius Programables en Automatització de Processos
- Electrònica per Àudio, Vídeo i Comunicacions

El temari principal que interessa pel projecte de DPAP, és el temari sobre els Dispositius lògics programables, i la programació en VHDL. Sobre l'assignatura d' EAVC, es tindrà en compte el temari sobre amplificacions i les aplicacions analògiques que es puguin realitzar sobre el projecte.

A meitats de quadrimestre s'hauria de poder tenir els conceptes suficients per poder realitzar el projecte teòric. Tot i així, fins que no s'apliquin els conceptes no es podrà aprofundir a la matèria, així es pren el final del quadrimestre per poder realitzar un impuls tècnic, metodològic i pràctic al projecte, abans de començar amb el PFC2.

5. PLANIFICACIÓ PFC2

	Ⓐ	Nombre	Duració	Inici	Terminado	Predecessores
1		Especificacions tècniques definides	6 days	21/02/11 8:00	28/02/11 17:00	
2		Programació VHDL	12 days	1/03/11 8:00	16/03/11 17:00	1
3		Simulació	23 days	1/03/11 8:00	31/03/11 17:00	1
4		Realització prototipus	21 days	1/04/11 8:00	29/04/11 17:00	3
5		Mesures i caracterització	21 days	2/05/11 8:00	30/05/11 17:00	4
6		Redacció memòria	11 days	1/06/11 7:00	15/06/11 17:00	5
7		Entrega i presentació	10 days	16/06/11 8:00	29/06/11 17:00	6



5.1. Parts de la planificació PFC1

5.1.1. Especificacions tècniques definides

Abans de realitzar res del PFC2, s'han de tenir molt clares les idees i les prestacions del dispositiu a dissenyar. Ja que sense una definició inicial clara, pot fer que no s'acabi concretant les prestacions i les característiques a definir.

5.1.2. Programació VHDL

Un cop que s'ha especificat el projecte, hi ha una primera etapa, on es realitzarà tant l'etapa d'entrada com la programació de control del senyal SPDIF. Un cop s'hagi realitzat la programació amb la FPGA, es podrà preparar la simulació del sistema.

5.1.3. Simulació

Tenint la definició final del projecte i tenint la FPGA programada per poder realitzar el sistema, es duran a terme les simulacions pertinents, per poder realitzar el muntatge final sobre una PCB.

5.1.4. Realització prototipus

Havent realitzat les simulacions satisfactòriament, s'haurà de preparar el muntatge en dispositius físics, i començar a fer les primeres proves de funcionament.

5.1.5. Mesures i caracterització

Tenint la PCB a les mans, es començaria amb les mesures adequades del sistema, a més de poder optimitzar el sistema, tant en la programació, com amb possibles canvis en una PCB final.

5.1.6. Redacció memòria

Tot i que la redacció s'anirà recopilant durant tot el projecte, es dóna les dues setmanes de juny, per poder acabar i reestructurar part de la memòria i del treball realitzat sobre totes dues parts

5.1.7. Entrega i presentació

Durant l'etapa d'entrega i presentació, es prepara la presentació, així com una recopilació d'informació que podria ser interessant cara a la presentació, com muntatges reals, de integrats de so o bé dispositius relacionats.

DIAGRAMA DE BLOCS

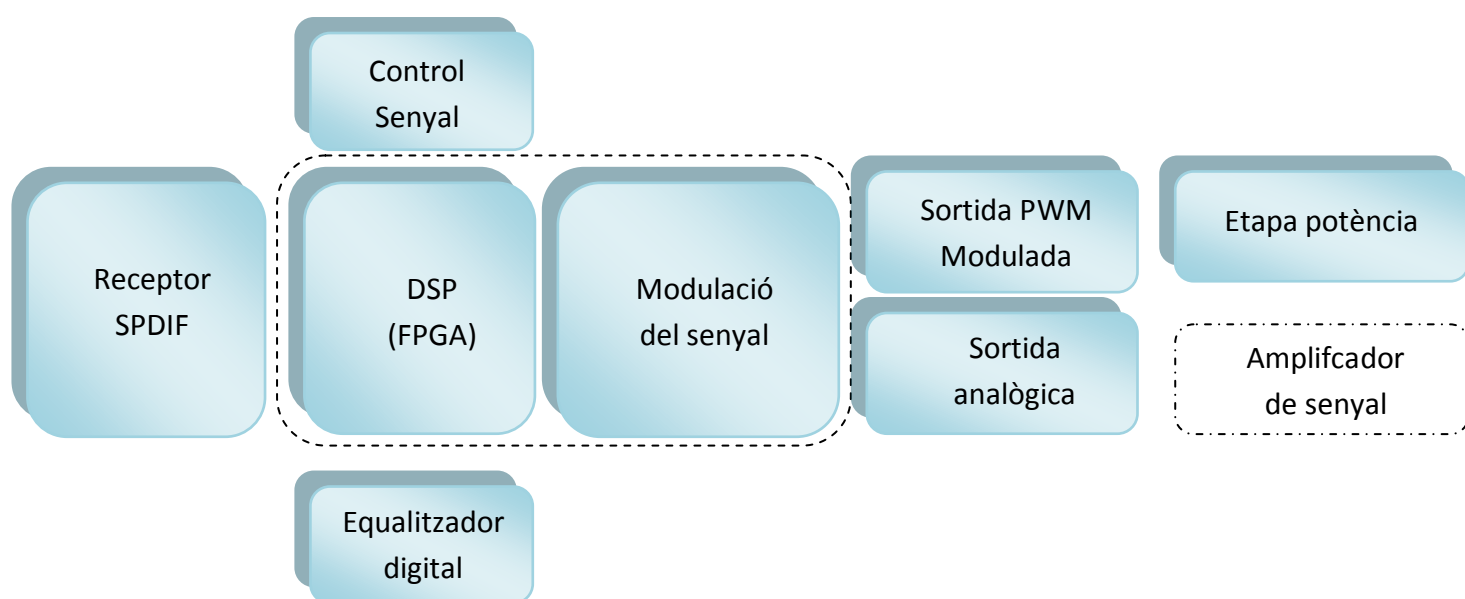
6. DIAGRAMA DE BLOCS ESPECIFICAT

6.1. Definició i plantejament del projecte a realitzar

Tal i com s'ha vist durant l'estat d'art, hi ha diferents aplicacions ja integrades per dissenyar comunicacions i amplificacions de so digital. Estudiant els diferents dispositius, es planteja, poder dissenyar un muntatge lliure, capaç d'interpretar el senyal SPDIF, podent donant prestacions específiques, com ara, modulacions de senyal, funcions equalitzadores, disminució de soroll, diferents tipus de modulació tan PWM i sigma/delta. Per poder aconseguir interactuar el senyal SPDIF serà de vital importància per la realització del treball, aconseguir un FPGA per poder programar-la i fer-la encarregada de controlar el senyal i les sortides corresponents.

Ja que el projecte es centra en el control del senyal d'àudio, es planteja inicialment, poder processar-ho correctament, i posteriorment, anyadir-hi funcionalitats, a més seria interessant poder realitzar diferents etapes de potència pels sistemes que siguin emissors de l'àudio. S'ha de constatar, que el que es busca en el projecte, no és maximitzar l' integració, sinó fer un sistema capaç de funcionar a partir del senyal digital en sèrie, i que sigui capaç d'alimentar a un grup de sistemes analògics, de la manera més eficient possible. Així doncs, no es té el propòsit, de dissenyar un sistema portàtil, sinó més bé un sistema fixa amb facilitat de moviment, però en cap cas portàtil.

6.2. Especificació del diagrama de blocs



ESTIMACIÓ DE PROJECTE

7. VALORACIÓ DEL PROJECTE

7.1. Material a requerir

Entenent que el plantejament a realitzar serà el següent, es tractarà de dissenyar un llistat del material a aconseguir i a dissenyar durant el projecte:

- Especificar la FPGA a programar
- Realitzar l'etapa d'entrada i d'adquisició de senyal (seguir les indicacions del protocol SPDIF)
- Realitzar l'etapa de sortida del dispositiu programable
- Especificar l'etapa de potència a partir dels requeriments del sistema

Un cop determinats els aspectes a tenir en compte en els requeriments, es determina que el material bàsic a tenir en compte serà:

- Model FPGA a programar
- Material per dissenyar les etapes d'entrada i sortida, per poder comunicar amb la FPGA i l'etapa de potència
- Material de potència per alimentar les diferents etapes de potència final
- Material supeditat al disseny, eines per la realització de les plaques, dispositius de mesura i possibilitat d'interactuar amb certs dispositius d'ús quotidià per comprovar la compatibilitat amb altres sistemes.

Tenint en compte que el material no específic, com eines de mesura i de disseny, com els dispositius propis de sortida (altaveus, auriculars,etc) són de fàcil accés, només es requeriran el material específic pel disseny de les etapes d'entrada, sortida i potència, a més de requerir una FPGA per poder realitzar el programa de control de senyal.

Determinant el material anterior, es fa constar, que si en el cas que la FPGA que pugui recórrer del laboratori no s'adequa a les especificacions del projecte, s'estima que es podria arribar a fer una inversió de fins 40€, en la programadora, a més de les inversions que es requereixen per adaptar les diferents etapes. Depenent de les característiques dels materials, s'espera arribar a un cost total pròxim de uns 120€, estimats a partir de les característiques dissenyades, i aproximant-se a un cost de mercat adequat per aquests tipus de sistemes. Es remarca, que dependents de les prestacions finals del dispositiu, es podria encarir o abaratir el sistema si es requereix.

BIBLIOGRAFIA

8. BIBLIOGRAFIA CONSULTADA

8.1. Bibliografia escrita

Smith, Jack R.: *Modern Communication Circuits*, 2nd ed., McGraw-Hill, Florida, 1998

Watkinson, John: *Audio Digital*, Editorial Paraninfo, Madrid, 1994

Bose, Bimal K.: *Power Electronics and Variable Frequency Drives*, IEEE Press, New York, 1997

8.2. Bibliografia virtual

S/PDIF interface: <http://www.epanorama.net/documents/audio/spdif.html>

Developing a SPDIF Input Module in LabVIEW FPGA - Developer Zone - National Instruments: <http://zone.ni.com/devzone/cda/tut/p/id/3255>

SPDIF: <http://www.topbits.com/es/spdif.html>

SPDIF Introduction: <http://www.spdifworld.com/introduction.html>

S/PDIF Digital to Analogue Converter: <http://sound.westhost.com/project85.htm>

An FPGA-Based Peak Audio Level and Correlation Meter with S/PDIF Inputs: <http://www.beis.de/Elektronik/DPLCM/DPLCM.html>

8.3. Fabricants/ Distribuïdors consultats

Texas instruments: <http://www.ti.com/>

CIRRUS LOGIC: <http://www.cirrus.com/en/>

Conexant: <http://www.conexant.com/>

D2Audio: <http://www.intersil.com/audio/>

Digital amplifier modules from digiamp.com : <http://www.digiamps.com/products.html>